

CLIPPEDIMAGE= JP401204474A  
PAT-NO: JP401204474A  
DOCUMENT-IDENTIFIER: JP 01204474 A  
TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: August 17, 1989

INVENTOR-INFORMATION:

NAME

KIMURA, TAMOTSU

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP63028220

APPL-DATE: February 9, 1988

INT-CL (IPC): H01L029/80; H01L021/265

US-CL-CURRENT: 438/158

ABSTRACT:

PURPOSE: To enhance the performance of an element by forming an opening to expose a second active layer forming region as a base surface, and performing ion implantation in a state that a third active layer forming region is covered with a second mask layer remaining in a step of forming the opening.

CONSTITUTION: After second mask layers 39a~39c are deposited on the whole upper face of a base 11, a first resist pattern 45 having an opening 43 is provided on a second active layer forming region 41, with the pattern 45 as a mask the second mask layers 39a~39c are partly removed by etching, thereby forming an opening 47 for exposing the region 41 and one side face of a first mask layer 37. Then, after a second resist pattern 53 having an opening 51 is formed on the second and third active layer forming regions 41, 49, ion implantation (a) is performed through the opening 47 and the layers 39a~39c, thereby simultaneously forming a second active layer 55 and a

third active layer 57 on the base 11. Thus, the ion implanting  
of the layer 57  
is controlled, and the performance of an element is improved.

COPYRIGHT: (C)1989,JPO&Japio

## ⑫ 公開特許公報(A) 平1-204474

⑪ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月17日

H 01 L 29/80  
21/265  
29/80B-8122-5F  
C-7738-5F  
F-8122-5F 審査請求 未請求 請求項の数 1 (全8頁)

⑭ 発明の名称 半導体素子の製造方法

⑯ 特 願 昭63-28220

⑰ 出 願 昭63(1988)2月9日

⑱ 発 明 者 木 村 有 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 大 垣 孝

## 明 細 書

## 1. 発明の名称

半導体素子の製造方法

## 2. 特許請求の範囲

(1) 少なくともゲート電極を含むイオン注入用の第一マスク層と、基板に形成された第一活性層とが設けられた下地に、該第一活性層に隣接する第二活性層と第三活性層とを形成して半導体素子を製造するに当り、

前記下地の上側全面にイオン注入用の第二マスク層を堆積した後、第二活性層形成領域上に開口を有する第一のレジストパターンを設ける工程と、

前記第一のレジストパターンをマスクとして前記第二マスク層の一部分をエッチング除去し、少なくとも前記第二活性層形成領域と前記第一マスク層の一方の側面とを露出する開口部を形成する工程と、

少なくとも、前記第二活性層形成領域上と第三活性層形成領域上とに互って開口を有する

第二のレジストパターンを形成した後、前記開口部及び第二マスク層を経てイオン注入を行ない、前記下地に第二活性層及び第三活性層を同時形成する工程と

を具えて成ることを特徴とする半導体素子の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体素子の製造方法、特に、電界効果トランジスタ(以下、単にFETと称する。)の製造に用いて好適な方法に関する。

(従来技術)

例えば高周波増幅・発振用素子、論理回路用素子及びその他の機能を有する半導体素子としてFET素子が広く用いられている。

これらFET素子により種々の電子機器を構成するに当り、当該機器の小型化、高速化、低電力化といった要求に応じて、超高密度集積回路(VLSI)を達成するための研究開発が進められている。このFET素子では、当該素子の微細

化に伴う短チャネル効果や、ソース・ドレイン領域の寄生抵抗といった、活性層（以下の説明においては、不純物を注入して構成した領域を活性層として包括的に表わすものとする。）の形状（プロファイル）に起因する種々の問題に対処する技術が不可欠となる。

上述したFETとして、化合物半導体であるガリウム・砒素(GaAs)を動作層として利用し、ゲート電極を金属としたショットキー接合によって構成されるGaAsMESFET素子が知られ、当該素子における前述の問題を解消する技術の一例として、特開昭62-33476号公報に開示される素子及びその製造方法が知られている。

以下、図面を参照して、上述の公報に開示される技術につき説明する。尚、以下の説明においては、上述した素子の製造方法に従って説明することとする。また、以下の説明においては、製造工程途中の構成成分を下地として包括的に表わす。

第2図(A)～(D)は、上述した公報に開示

し、かつゲート電極を形成しようとする部分に端面が形成されるようにパターンニングしてSiO<sub>2</sub>膜15を形成する。

次に、上述した下地の上側全面にWN膜17を堆積して、第2図(A)に示す状態の下地を得る。

続いて、上述の下地に対して、例えば四弗化炭素(CF<sub>4</sub>)をエッチングガスとして用いた反応性イオンエッチング(Reactive Ion Etching:RIE)法のような異方性エッチングを行ない、上述したSiO<sub>2</sub>膜15の、チャネル領域13上の側面に、ゲート電極19を形成し、第2図(B)に示す状態の下地を得る。

次に、上述の下地に対して、ゲート電極19及びSiO<sub>2</sub>膜15をマスクに用いてn型不純物（第2図(C)中、矢印aで示す。）のイオン注入を行ない、 $2 \times 10^{13}(\text{cm}^{-2})$ 程度の不純物濃度でソース領域21を形成し、前述同様のアニール処理を行なうことによって第2図(C)に示す状態の下地を得る。

される技術を説明するため、GaAsMESFET素子の製造工程を概略的な基板断面により示す説明図である。図中、11は半絶縁性のGaAsから成る基板、13はチャネル領域、15は二酸化珪素(SiO<sub>2</sub>)膜、17は窒化タングステン(WN)膜、19はゲート電極、21はソース領域、23はソース電極、25はドレイン電極、27はGaAsMESFET素子、aはn型不純物イオンである。また、断面を示すハッチングは一部省略して図示すると共に、各構成成分の膜厚については詳細な説明を省略する。

まず始めに、図示していないレジストパターンをマスクとして、基板11上の設計に応じた所定領域に、例えば珪素イオン(Si<sup>+</sup>)のようなn型不純物を $4 \times 10^{12}(\text{cm}^{-2})$ 程度の不純物濃度で注入した後、所定の温度でアニールすることにより、チャネル領域13を形成する。

然る後、上述した下地の上側全面に二酸化珪素(SiO<sub>2</sub>)を堆積し、少なくとも後段の工程によりドレイン領域となる基板11上の所定部分を被覆

上述の説明からも理解できるように、この公報に開示される技術によれば、ソース領域21がセルフアラインで形成されることとなる。

続いて、上述の下地上に形成されるSiO<sub>2</sub>膜15を除去した後、従来周知の方法により、ソース電極23及びドレイン電極25を形成し、第2図(D)に示すようなGaAsMESFET素子27が得られる。

このようにして得られたGaAsMESFET素子27において、ドレイン領域に相当する基板11の所定部分はチャネル領域13と同程度の不純物濃度を以って構成されている。これがため、イオン注入によってソース領域とドレイン領域とを同時に形成した場合に比して、ドレイン領域に相当する活性層の不純物濃度が低いため、チャネル長の短縮に伴う短チャネル効果を低減することが可能である。

（発明が解決しようとする課題）

しかしながら、上述した従来の半導体素子の製造方法では、一方の電極領域であるソース領域での寄生抵抗と、短チャネル効果とを同時に解決

し得るが、ドレイン領域とチャネル領域との不純物濃度が同程度であるため、設計に応じてチャネル領域の低不純物濃度を所望とする場合、ドレイン領域での寄生抵抗が大きくなる。これがため、所謂、半導体素子のドレイン抵抗が高くなるのみならず、当該ドレイン領域でのオーミック接触に係る抵抗が高くなり、当該素子の高性能化を図ることが難しいという問題点があった。

また、従来、チャネル領域にイオン注入を行なった後、ソース及びドレイン領域が露出した状態で、夫々の活性領域に対して同時にイオン注入を行なう技術が広く知られている。しかしながら、このような技術では、半導体素子を搭載する電子機器の機能に応じた好適な量として夫々の領域（活性層）における個々の不純物プロファイルを制御することができないという点で、優れた半導体素子を製造することが難しい。

この発明の目的は、上述した種々の問題点を鑑み成されたものであり、半導体素子に形成される各々の活性層の機能に応じた最適な不純物濃度

部を形成する工程と、

少なくとも、上述の第二活性層形成領域上と第三活性層形成領域上とに亘って開口を有する第二のレジストパターンを形成した後、上述の開口部及び第二マスク層を経てイオン注入を行ない、前述した下地に第二活性層と第三活性層とを同時形成する工程とを具備して成ることを特徴としている。

#### （作用）

この発明の半導体素子の製造方法によれば、開口部を形成することにより第二活性層形成領域が下地表面として露出し、かつ当該開口部の形成工程で残存せしめた第二マスク層により第三活性層形成領域が被覆された状態でイオン注入を行なう構成と成っている。これがため、イオン注入を直接的に受ける第二活性層と、第二マスク層を介して上述の注入を間接的に受ける第三活性層とが同時に形成されることとなる。従って、第三活性層形成領域上に配設された第二マスク層により、第三活性層のイオン注入に係る状態を制御

及び注入深さを、一度のイオン注入により、同時に達成可能な半導体素子の製造方法を提供し、以って、優れた特性を有する半導体素子を提供することに有る。

#### （課題を解決するための手段）

この目的の達成を図るため、この発明の半導体素子の製造方法によれば、

少なくともゲート電極を含むイオン注入用の第一マスク層と、基板に形成された第一活性層とが設けられた下地に、この第一活性層に隣接する第二活性層と第三活性層とを形成して半導体素子を製造するに当り、

上述した下地の上側全面にイオン注入用の第二マスク層を堆積した後、第二活性層形成領域上に開口を有する第一のレジストパターンを設ける工程と、

上述した第一のレジストパターンをマスクとして上述の第二マスク層の一部をエッチング除去し、少なくとも上述の第二活性層形成領域と前述した第一マスク層の一方の側面とを露出する開口

することができる。

#### （実施例）

以下、この発明の半導体素子の製造方法の実施例につき、図面を参照して説明する。尚、以下の説明で参照する図面は、この発明を理解し得る程度に概略的に示してあるに過ぎず、この発明は図示例にのみ限定されるものではないことを理解されたい。また、以下の説明においては、化合物半導体であるGaAsのショットキー接合をゲートとして用いたGaAsMESFET素子に適用し、第一活性層としてのチャネル領域、第二活性層としてのソース領域及び第三活性層としてのドレイン領域として、特定の条件の下で実施した場合につき説明を行なうが、この発明はこれら特定の素子及び条件にのみ限定されるものではない。

第1図(A)～(G)は、この発明の製造方法の実施例を説明するため、第2図(A)～(D)と同様にして示す製造工程図である。また、この発明の特徴となる構成成分を除き、既に説明したものと同一の機能を有する構成成分については

同一の符号を付して示すこととする。さらに、以下の説明においては、活性層を形成するに当たりのアニール処理を省略して説明する。これら図中、29は例えばタングステン-アルミニウム(W-Al)合金またはその他任意好適な高融点金属から成るゲート電極形成層、31は例えばアルミニウム(Al)、ニッケル(Ni)またはその他の好適材料からなる電極パターン層、33はゲート電極形成層29をエッチングして得られるゲート電極、35はゲート電極33と共に形成されるサイドエッチング部、37は電極パターン層31とゲート電極33とサイドエッチング部35とから構成される第一マスク層、39a~39cは例えばゲルマニウム(Ge)からなるイオン注入用の第二マスク層、41は第二活性層形成領域に相当するソース形成領域、45はソース形成領域41上の任意の位置に形成される開口43を画成する第一のレジストパターン、47は第二マスク層に形成された開口部、49は第三活性層形成領域に相当するドレイン形成領域、53はソース形成領域41とドレイン形成領域49とに

互る開口51を画成する第二のレジストパターン、55はソース領域、57はドレイン領域、59は、この実施例の工程により作製されたGaAsMESFET素子である。

まず始めに、既に説明したのと同様に、半絶縁性のGaAsから成る基板11上の設計に応じた所定領域に第一活性層としてのチャネル領域13を形成する。続いて、当該領域13を形成した基板11の上側全面に、ゲート電極を形成するためのゲート電極形成層29を堆積する。然る後、チャネル領域13の上側であり、かつゲート電極の配設を所望とするゲート電極形成層29上の所定部分に、例えばリフトオフ技術によって、電極パターン層31を形成し、第1図(A)に示す状態の下地を得る。

続いて、例えば反応性イオンエッチング(Reactive Ion Etching:RIE)法のようなドライエッチング技術により、上述した電極パターン層31をエッチングマスクとしてエッチングする。このようにして、電極パターン層31と、ゲート電極33

と、当該電極33の両側面のサイドエッチング部35(図中、破線で囲んで示す。)とから成る第一マスク層37を形成することにより第1図(B)に示す状態の下地を得る。

ここで、第一マスク層37の構成成分としてサイドエッチング部35を形成することにより、所謂、LDD(Lightly Doped Drain)構造と同様に、後述する2つの活性層(ソース領域及びドレイン領域)が側方拡散して生ずる短チャネル効果の低減に寄与せしめることが期待できる。

次に、上述した下地の上側全面にイオン注入用の第二マスク層39a~39cを堆積する。このような積層関係とすることにより、基板11上に直接被着する第二マスク層39a及び39bと、第一マスク層37の上側に堆積される第二マスク層39cとが形成される。

然る後、当該マスク層39a~39cの上側全面に所定の膜厚を以って、ソース形成領域41上の任意の位置(後述)にのみ開口43を有する第一のレジストパターン45を形成し、第1図(C)に示す

状態の下地を得る。

続いて、上述した第一のレジストパターン45をエッチングマスクとして、例えば六弗化硫黄(SF<sub>6</sub>)をエッチングガスとして用いたRIE法またはその他のドライエッチング技術により、第二マスク層39a~39cを構成する材料のみを選択的にエッチング除去して第1図(D)に示すような開口部47を形成する。

この開口部47を形成するためのエッチング工程につき詳細に説明すれば、この発明の製造方法の構成として既に述べたように、第一のレジストパターン45により画成される開口43に関して、厳密な位置合わせを行なうことなく、第一マスク層37の一方の側面を露出せしめる構成成分として開口部47を形成することができる。即ち、上述した開口部47の形成に係るドライエッチング技術を等方性エッチングが行ない得る条件とすれば、等方性エッチング処理を行なうに従って、基板11の表面に垂直な方向のみならず当該面に平行なエッチングが進行する。これがため、開口43が、

前述したソース形成領域41のいずれの位置に形成された場合であっても、第二マスク層39aの端面とゲート電極33の一方の側面とが露出することとなる。従って、上述した平行方向のエッチングは、少なくとも第一マスク層37の側面を露出した時点で停止し、第二マスク層39b及び39cがエッチングされることがない。

このような開口部47を形成した後、第一のレジストパターン45を除去し、第1図(E)に示すように、第二のレジストパターン53を画成する。然る後、当該レジストパターン53と、前述した第一マスク層37とをイオン注入用マスクとし、開口部47と第二マスク層39bとを介して矢印aで示す不純物イオンの注入を行なう。このようにして、第二活性層に相当するソース領域55と第三活性層に相当するドレイン領域57とがセルフアラインで同時に得られる。

上述した説明及び第1図(E)からも理解できるように、開口部47により表面に露出したソース形成領域41に対しては、例えばイオンの加速エネ

ルギーやドーズ量といったイオン注入条件に応じてソース領域55が形成される。他方、第二マスク層39bで被覆された状態のドレイン形成領域49では当該層39bの膜厚を調節することによりイオン阻止条件が設定され、当該阻止条件と上述のイオン注入条件との関係に応じて、ドレイン領域57の不純物濃度や注入深さを制御することができる。

また、この工程でのイオン注入においては、第一マスク層37として形成されたサイドエッチング部35の作用により、短チャネル効果の低減に寄与せしめることが可能である。

次に、上述した第二マスク層39a～39c、電極パターン層31及び第二のレジストパターン53を除去し、従来と同様にソース電極23及びドレイン電極25を形成して、この発明の実施例に係るGaAs MESFET素子59を得る(第1図(F))。

以上、この発明の実施例につき詳細に説明したが、この発明の半導体素子の製造方法は上述した実施例にのみ限定されるものではないことが明らかである。

例えば、上述の実施例では、短チャネル効果を低減せしめるためのサイドエッチング部を含む第一マスク層を用いた場合につき説明した。しかしながら、この発明の方法は、これにのみ限定して実施するものではなく、上述のサイドエッチング部の代わりに、従来周知のサイドウォールを具えた構成として第一マスク層を形成しても良い。

さらに、この発明の製造方法は、上述した短チャネル効果低減を目的とする技術を併用した場合にのみ適用されるものではなく、上述の第一マスク層として、電極パターン層とゲート電極との幅が一致する状態で行なっても、十分な効果が得られることが明らかである。

また、開口部を形成する際のエッチング工程において、第一マスク層の一方の端部のみを確実にエッチング除去するため、基板表面から第一マスク層の上側に至る高さを充分高くし、第二マスク層が段切れを生じる場合につき図示して説明した。しかしながら、第二マスク層が連続した層として堆積された場合、第一マスク層の一方の側の

第二マスク層がエッチング除去された後に経時的にエッチングが進行しても、少なくとも第一マスク層の他方の側の第二マスク層が残存する条件であれば、上述と同様の効果を得ることができる。

これと同様に、例えば第1図(C)及び(D)を参照して説明した開口部の形成に当り、説明の理解を容易とするため、第一のレジストパターン45により形成される開口43が、ソース形成領域41の上側に相当する場合につき図示して説明した。しかしながら、開口43の配設位置は、これに限定されるものではなく、少なくとも第二マスク層39aの上側に相当する領域であれば良い。これに伴ない、ソース形成領域41(またはドレイン形成領域49)は、第二のレジストパターン49の配設位置により規定されるものである(第1図(E)参照)。

さらに、この発明の特徴となる第二マスク層を構成する材料としてゲルマニウムを用いた場合につき説明したが、次のような条件を満たす材料であれば、これ以外の材料であっても良い。

①不純物イオンの注入に際してイオン注入阻止条件を設定し得る程度にイオン注入阻止能が大きい材料

②例えば基板のように堆積面を構成する材料との間に、例えば剝離等の、応力に起因する悪影響を生じない材料

③レジストパターン、第一マスク層及び基板に比してエッチング速度が大きく、かつ等方性エッチングを行なうことが可能な材料

このような材料として、例えば上述のゲルマニウムの代わりに窒化珪素( $\text{SiN}_x$ )等を用いることが可能である。

これに加えて、上述の実施例では、半導体素子の一例としてGaAsMESFET素子を製造する場合につき説明したが、GaAs以外の半導体から成るMESFET素子、さらには、MOSFET素子等にも適用し得る。

これら材料、形状、配置関係、数値的条件及びその他の条件は、この発明の目的の範囲内で、任意好適な設計の変更及び変形を行ない得ること

明らかである。

(発明の効果)

上述した説明からも明らかなように、この発明の半導体素子の製造方法によれば、前述した構成とすることにより、イオン注入を直接的に受ける第二活性層と、第二マスク層を介して上述の注入を間接的に受ける第三活性層とが同時に形成されることとなる。これがため、第三活性層形成領域上に配設された第二マスク層により、第三活性層のイオン注入に係る状態を制御し得る。

従って、半導体素子に形成される各々の活性層の機能に応じた最適な不純物濃度及び注入深さを同時に達成することが可能で、かつ半導体素子の設計の自由度を向上し得る半導体素子の製造方法を提供し、延いては、優れた半導体素子を提供することができる。

#### 4.図面の簡単な説明

第1図(A)～(F)は、この発明の製造方法の実施例を説明するため、各製造工程に従って、下地の概略的断面により示す説明図、

第2図(A)～(D)は、従来技術を説明するため、第1図(A)～(F)と同様な概略的断面により示す説明図である。

53・・・第二のレジストパターン

55・・・ソース領域(第二活性層)

57・・・ドレイン領域(第三活性層)

a・・・不純物イオン。

11・・・基板、13・・・チャネル領域(第一活性層)

15・・・二酸化ケイ素( $\text{SiO}_2$ )膜

17・・・窒化タングステン(WN)膜

19、33・・・ゲート電極、21・・・ソース領域

23・・・ソース電極、25・・・ドレイン電極

27、59・・・GaAsMESFET素子

29・・・ゲート電極形成層、31・・・電極パターン層

35・・・サイドエッチング部、37・・・第一マスク層

39a～39c・・・第二マスク層

41・・・ソース形成領域(第二活性層形成領域)

43、51・・・開口、45・・・第一のレジストパターン

47・・・開口部

49・・・ドレイン形成領域(第三活性層形成領域)

特許出願人

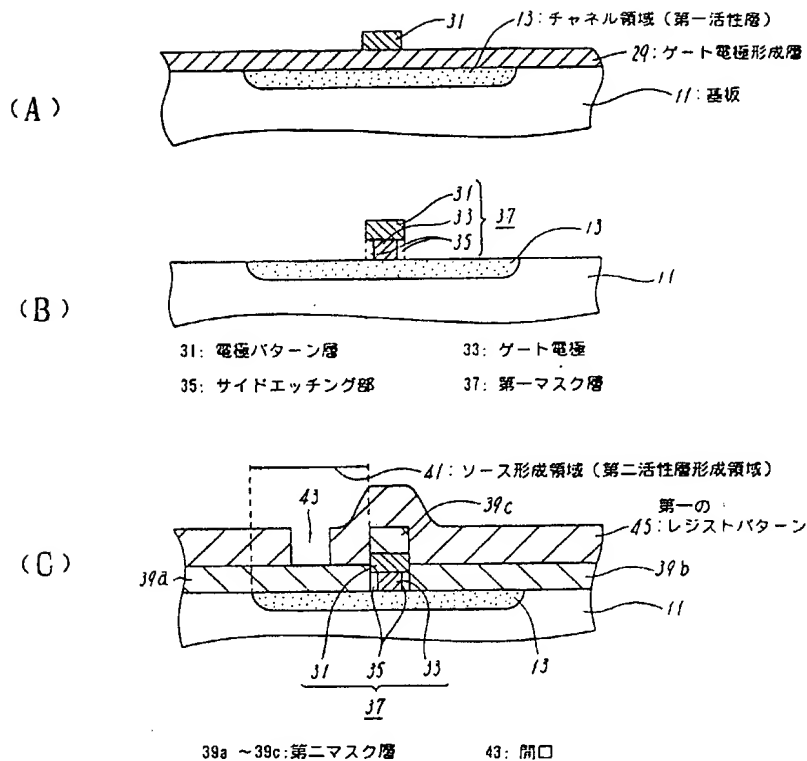
沖電気工業株式会社

代理人 弁理士

大垣 孝

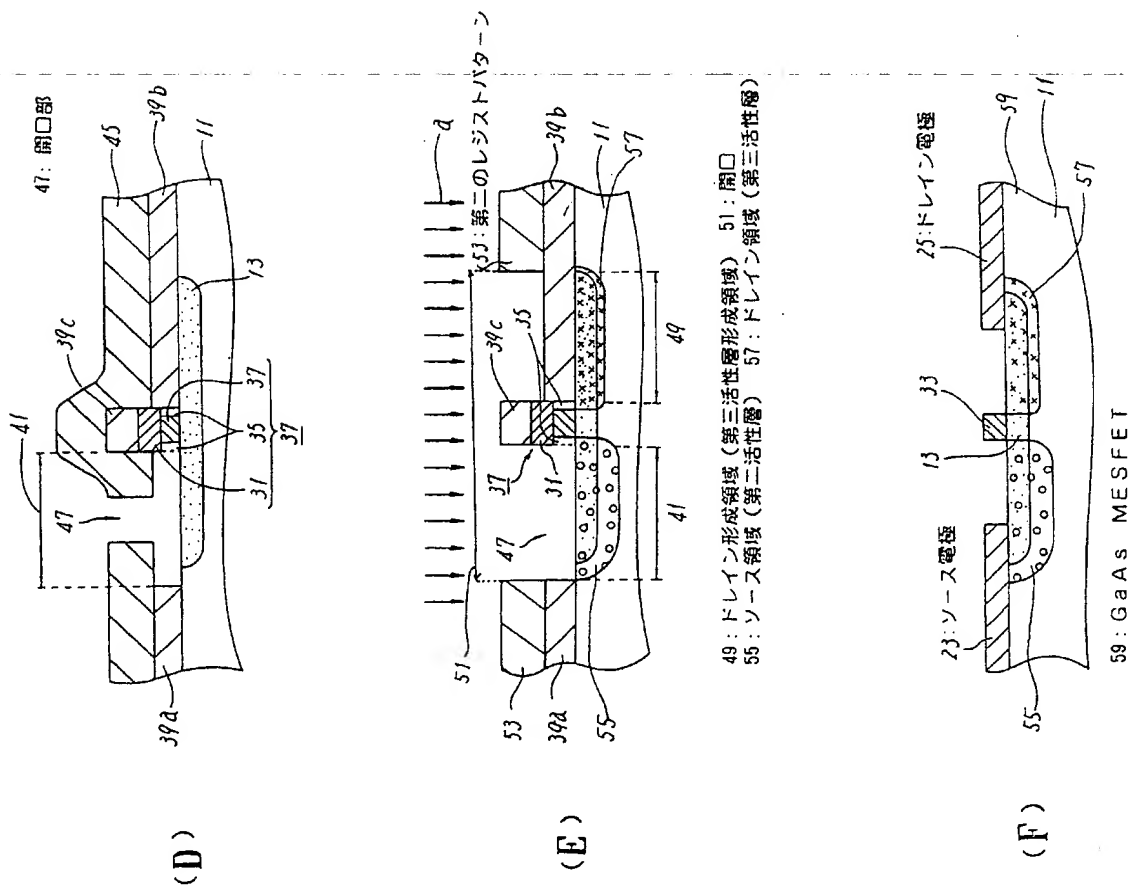






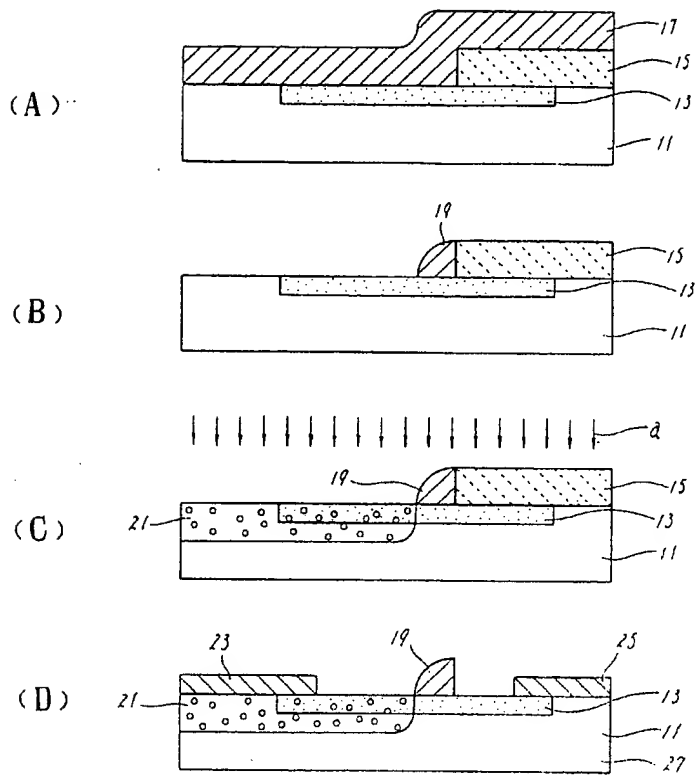
実施例の説明図

第 1 図



実施例の説明図

第 1 図



従来技術の説明図

第 2 図